

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報(A) 平2-260333

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月23日

H 01 H 11/00
35/14
H 01 L 21/306A 8224-5G
Z 6969-5G
L 7342-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マイクロメカニカルスイッチの製造方法

⑰ 特 願 平1-81761

⑱ 出 願 平1(1989)3月31日

⑲ 発 明 者 西 村 仁 東京都江東区木場1丁目5番1号 藤倉電線株式会社内
 ⑳ 出 願 人 藤倉電線株式会社 東京都江東区木場1丁目5番1号
 ㉑ 代 理 人 弁理士 藤巻 正憲

明 細 書

1. 発明の名称

マイクロメカニカルスイッチの製造方法

2. 特許請求の範囲

(1) 第1導電型シリコン半導体基板上に第2導電型エピタキシャル層を形成する工程と、このエピタキシャル層上にSiO₂膜を形成する工程と、所定領域の前記SiO₂膜を局部的に除去して開口部を形成する工程と、前記開口部を介して前記SiO₂膜の下方の前記エピタキシャル層をエレクトロケミカルエッチングにより局部的に除去する工程とを有することを特徴とするマイクロメカニカルスイッチの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はシリコン半導体のマイクロマシニング技術の応用技術であって、超小型の加速度センサ及び加速度スイッチ等の製造に好適のマイクロメカニカルスイッチの製造方法に関する。

〔従来の技術〕

近時、シリコン半導体基板に対するマイクロマシニング技術によって、加速度スイッチ等のマイクロメカニカルスイッチを使用した各種センサが開発されており、例えば長さが約200μm、幅が20μmという超小型の加速度スイッチが製作されている(“Silicon as a Mechanical Material” PROCEEDING OF THE IEEE VOL.70 No5 MAY 1982)。この加速度スイッチは一端部がシリコン基板に支持された揺動可能なSiO₂膜からなる可動部(以下、片持ばりという)と、この片持ばりに被着されたAu電極及びシリコン基板上に形成されたAu電極とにより構成されている。そして、この加速度スイッチに加速度が加えられると、シリコン基板に一端を支持された片持ばりが揺動して変位し、片持ばりのAu電極と基板上的Au電極とが接触するようになっている。これにより、加速度をオン又はオフの電気信号として検知することができる。

第3図(a)乃至(d)はこの加速度スイッチの従来の製造方法を工程順に示す断面図、第4図

は第3図(d)のIV-IV線の位置における断面図である。

先ず、第3図(a)に示すように、シリコン基板11上にボロン等のP型不純物を高濃度で導入してP⁺層12を形成する。そして、全面にエピタキシャル層13を形成した後、このエピタキシャル層13上にSiO₂膜14を形成する。次いで、このSiO₂膜14上に第1のCr-Au層15を形成し、その後、第1のCr-Au層15及びSiO₂膜14の所定の領域をエッチングにより除去して開口部15aを設ける。この第1のCr-Au層15は下層のCr層と上層のAu層との積層体からなり、n型領域との接着性を向上させるためにCrを蒸着した後、このCr層上にAuを蒸着して形成される。

次に、第3図(b)に示すように、この開口部15aを埋込むようにして、第1のCr-Au層15上に第1のフォトレジスト16を所定のパターンで形成する。その後、蒸着法により全面に第2のCr-Au層17を形成する。

膜14の所定領域の下方のエピタキシャル層13をエッチング除去することにより、SiO₂膜14により構成された片持ばりを有するマイクロメカニカルスイッチを形成している。

〔発明が解決しようとする課題〕

しかしながら、P⁺層12は極めて高濃度で不純物を含有しているため、このP⁺層12上に結晶欠陥がない単結晶シリコンからなるエピタキシャル層13を形成することは極めて困難である。また、仮に、結晶欠陥がないエピタキシャル層13を形成できたとしても、SiO₂膜14を形成する工程でSiを熱酸化(約1100℃)させる際に、P⁺層12中の不純物(ボロン)がP⁺層12の上方のエピタキシャル層13及び下方のシリコン基板11中に拡散するため、P⁺層12の不純物濃度及び厚さが変化してしまう。このため、従来、半導体基板にマイクロメカニカルスイッチと共に、抵抗、ダイオード又はトランジスタ等の素子を形成すると、これらの素子の電気的特性が変化してしまうという問題点がある。

次に、第3図(c)に示すように、第2のCr-Au層17上に第2のフォトレジスト18を被着した後、この第2のフォトレジスト18に所定のパターンの開口部を設ける。そして、この開口部に選択的にAuをめっきしてAuめっき層19を形成する。

次いで、第3図(d)に示すように、第2のフォトレジスト18を除去した後、Auめっき層19が被着されていない露出領域において第2のCr-Au層17を除去する。その後、第1のフォトレジスト16を除去し、EDP(エチレンジアミン、ピロカテコール及び水の混合液)によりエッチングを行う。この場合に、所定領域のSiO₂膜14下のエピタキシャル層13が局部的にサイドエッチングされて除去される。これにより、SiO₂膜14による片持ばりを有する加速度スイッチが完成する。

このように、従来、高濃度(10²⁰原子/cm³)に不純物が導入されたP⁺層はEDPによりエッチングされないという性質を利用して、SiO₂

本発明はかかる問題点に鑑みてなされたものであって、他の素子の電気的特性を変化させることがなく、他の素子と同一の半導体基板に形成することができ、高集積化が可能なマイクロメカニカルスイッチを製造することができるマイクロメカニカルスイッチの製造方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係るマイクロメカニカルスイッチの製造方法は、第1導電型シリコン半導体基板上に第2導電型エピタキシャル層を形成する工程と、このエピタキシャル層上にSiO₂膜を形成する工程と、所定領域の前記SiO₂膜を局部的に除去して開口部を形成する工程と、前記開口部を介して前記SiO₂膜の下方の前記エピタキシャル層をエレクトロケミカルエッチングにより局部的に除去する工程とを有することを特徴とする。

〔作用〕

本発明においては、エレクトロケミカルエッチングによりSiO₂膜の下方のエピタキシャル層

を局部的に除去する。この場合に、例えば第1導電型半導体基板がN型である場合は、この基板を電源の陽極に接続し、エッチャントを陰極側にすることにより、N型半導体基板はエッチャントには溶解せず、エッチングされない。そして、上述の極性及び電圧を付加することにより、 SiO_2 膜の下方のP型エピタキシャル層のみがエッチング除去される。これにより、 SiO_2 膜の下方に空間が形成され、 SiO_2 膜がその一端側が自由端、他端側が固定端となってエピタキシャル層に支持され、 SiO_2 膜の片持ばりが形成される。

本発明方法によれば、マイクロメカニカルスイッチの製造工程にて、高濃度不純物層の形成は不要となる。従って、同一半導体基板にマイクロメカニカルスイッチと他の素子とを混在して形成しても、マイクロメカニカルスイッチが他の素子の電気的特性に影響を与えることはない。

【実施例】

次に、本発明の実施例について添付の図面を参照して説明する。

シリコン基板1と電気的コンタクトをとるために形成するものであり、エレクトロケミカルエッチングにおける通電効率を考慮すると、 N^+ 領域5はエッチングされるP型エピタキシャル層2と同一面側のシリコン基板1の上面に形成することが好ましい。

次いで、第1図(c)に示すように、 SiO_2 膜3上に第1のCr-Au層15を形成した後、 SiO_2 膜3を所定のパターンで開口する。第2図は、この SiO_2 膜3に形成された開口部6のパターンを示す平面図である。この第2図に示すように、開口部6の形状はコの字形をなす。その後、第1のフォトリソスト18(第3図参照)と同様にフォトリソスト(図示せず)をパターン形成し、更に第2のCr-Au層17を形成し、フォトリソグラフィ技術により、第2のCr-Au層17上にAuめっき層19を所定のパターンで形成する。そして、Auめっき層19の下方のフォトリソストを除去する。

次いで、第1図(d)に示すように、エッチャ

第1図(a)乃至(d)は本発明の実施例方法を工程順に示す断面図である。

まず、第1図(a)に示すように、N型シリコン基板1上にP型エピタキシャル層2を $2\mu\text{m}$ 以上の厚さ、好ましくは3乃至 $4\mu\text{m}$ の厚さに形成し、このエピタキシャル層2の表面及びシリコン基板1の下面を熱酸化させて SiO_2 膜3及び4を形成する。なお、この SiO_2 膜3及び4はCVD(化学的気相成長)法により形成することもできる。

次に、第1図(b)に示すように、 SiO_2 膜3の所定領域を開口し、この開口部からN型不純物を 10^{20} 原子/cm³の濃度で拡散させて、シリコン基板1と接続された N^+ 領域5を形成する。なお、この N^+ 領域5はシリコン基板1の下面側に形成することもできる。この場合は、基板1の下面に形成した SiO_2 膜4を開口し、この開口部からN型不純物をシリコン基板1に拡散させて N^+ 領域を形成する。この N^+ 領域5は後述するエレクトロケミカルエッチングの際に電極となってN型

ントとしてEDP又はヒドラジンの50容量%水溶液を使用し、エレクトロケミカルエッチングを行う。これにより、 SiO_2 膜3の下方のエピタキシャル層2が局部的に除去される。このとき、 N^+ 領域5を電極として電源の陽極に接続し、エッチャントを陰極側にする。このエレクトロケミカルエッチングにおいては、N型シリコン基板1は N^+ 領域5を介して陽極側に接続されるためエッチングされず、電圧で保護されていることになる。一方、 SiO_2 膜3の下方のP型エピタキシャル層2は開口部6を介してエッチャントに接触する部分がエッチングされていき、所定時間経過後には、 SiO_2 膜3の下方の所定領域のエピタキシャル層2がエッチング除去される。これにより、 SiO_2 膜3からなる片持ばり3aが形成される。

上述の如くして本実施例により、片持ばり3a及びシリコン基板1上にAuめっき層19からなるAu電極が形成された加速度スイッチが得られ、この加速度スイッチは、基本的には第3図(d)

及び第4図に示す従来の加速度スイッチと同様の構造を有する。

而して、本実施例においては、従来方法と異なり、加速度スイッチの製造工程にてP⁺層を形成しないため、同一のシリコン基板に他の種々の素子を形成することができる。従って、高集積化が可能である。

〔発明の効果〕

以上説明したように本発明によれば、エレクトロケミカルエッチングによりSiO₂膜の下方のエピタキシャル層を除去することによりマイクロメカニカルスイッチの可動部を形成するから、マイクロメカニカルスイッチをトランジスタ等の他の素子と同一の半導体基板に形成しても、他の素子の電気的特性を変化させることはない。これにより、マイクロメカニカルスイッチを有する半導体装置の高集積化が可能となり、本発明は極めて有益である。また、エピタキシャル層の厚さを適正に設定しておけば、その厚さの変動はないので、マイクロメカニカルスイッチの可動部の下方に所

定の大きさの空隙を形成することができ、可動部の揺動範囲を適正に規制することが可能である。これにより、マイクロメカニカルスイッチの使用時における可動部の折れを防止できる。

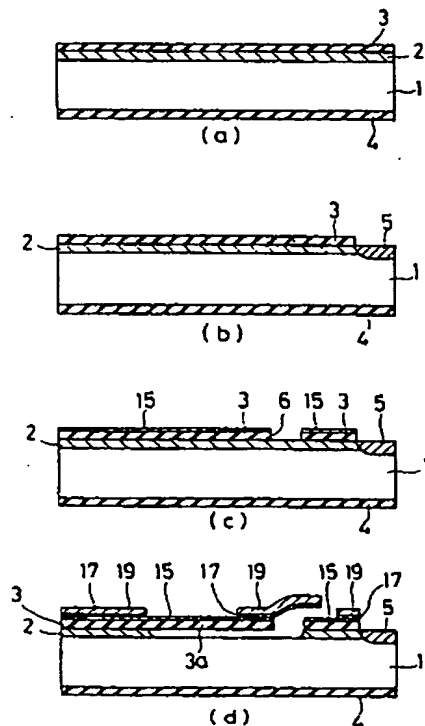
4. 図面の簡単な説明

第1図(a)乃至(d)は本発明の実施例方法を工程順に示す断面図、第2図は同じくその製造途中のシリコン基板の平面図、第3図(a)乃至(d)は従来の加速度スイッチの製造方法を工程順に示す断面図、第4図は第3図(d)のIV-IV線の位置における断面図である。

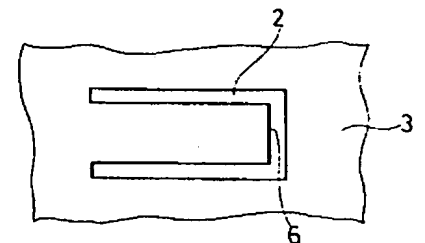
1, 11; シリコン基板、2, 13; エピタキシャル層、3, 4, 14; SiO₂膜、3a; 片持ばり、5; N⁺領域、6, 15a; 開口部、12; P⁺層、15, 17; Cr-Au層、16, 18; フォトリソist、19; Auめっき層

出願人 藤倉電線株式会社

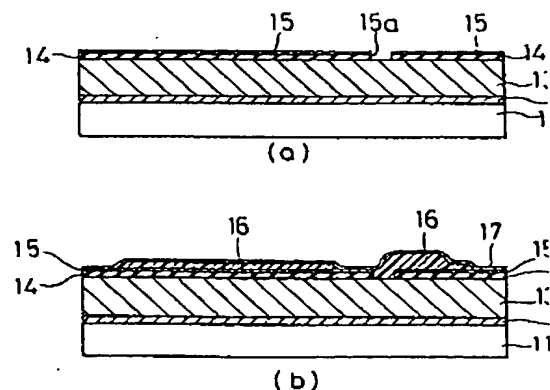
代理人 弁理士 藤巻正憲



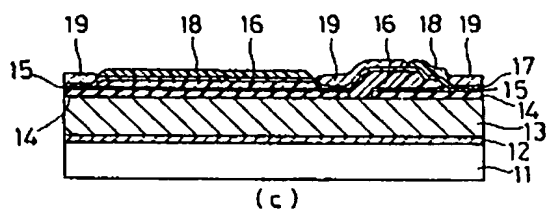
第 1 図



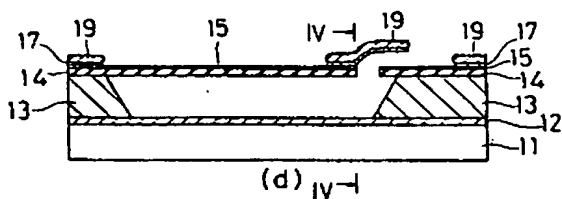
第 2 図



第 3 図(1)

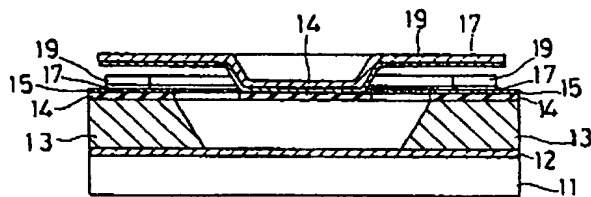


(c)



(d) IV-I

第 3 図 (2)



第 4 図